

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63124651 A**

(43) Date of publication of application: **28 . 05 . 88**

(51) Int. Cl. **H04L 25/08**
H03K 5/00
H03K 5/01
H04L 1/00

(21) Application number: **61271053**

(22) Date of filing: **14 . 11 . 86**

(71) Applicant: **NEC CORP NIPPON DENKI
TSUSHIN SYST KK**

(72) Inventor: **ISOGAWA YOICHI
NAKAYAMA AKIHIKO**

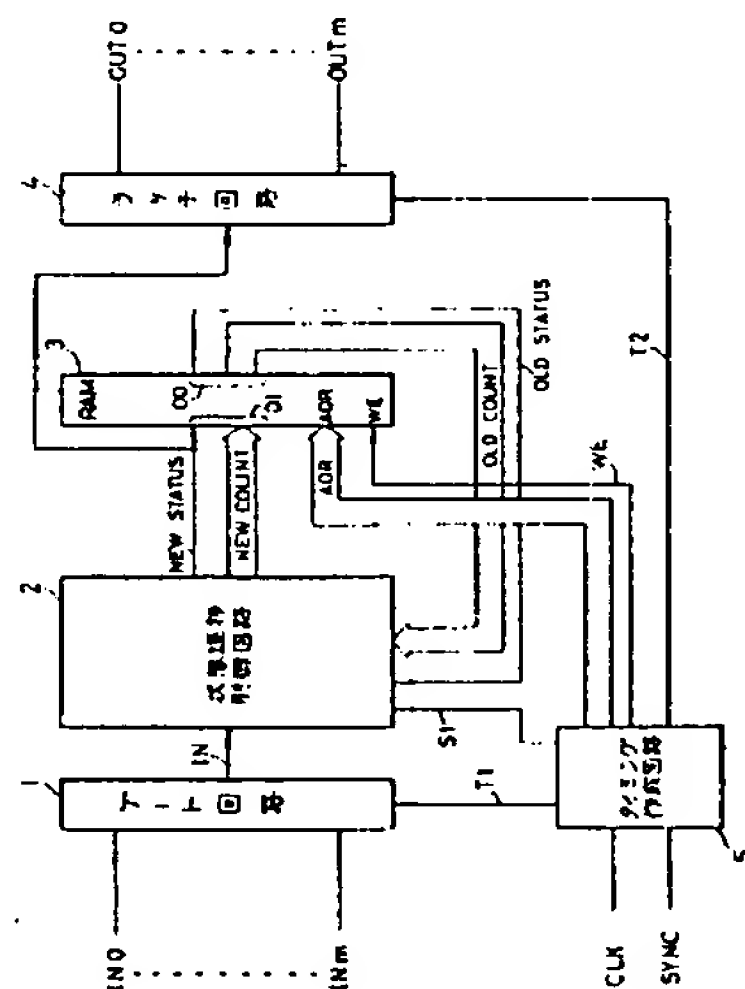
(54) **TRANSMISSION DATA PROTECTION CIRCUIT**

(57) Abstract:

PURPOSE: To realize miniaturization and low cost without incurring the increase in the hardware even if the number of channels of a transmission data to be protected is increased by not using an n-notation counter but using a random access memory to store the state transition.

CONSTITUTION: In a state transition control circuit 2, the old output state and the old count read synchronously with a timing T1 of a gate circuit 1 are fed from a relevant address of a RAM 3 in advance. In this case, the sampling of the input data and the said old output state are compared. Thus, only when the sampling of an input transmission data takes the same value for n-time consecutively, the level of the output is transited and the output value is outputted without any change in other cases. Thus, the transmission data of a binary level is protected effectively from the disturbance such as noise.

COPYRIGHT: (C)1988,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-124651

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)5月28日

H 04 L 25/08
H 03 K 5/00
5/01
H 04 L 1/00

7345-5K
7259-5J
7259-5J
G-8732-5K

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 伝送データ保護回路

⑯ 特 願 昭61-271053

⑰ 出 願 昭61(1986)11月14日

⑱ 発 明 者 五十川 洋一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 中山 章彦 東京都港区芝5丁目7番15号 日本電気通信システム株式
会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 出 願 人 日本電気通信システム株式会社 東京都港区芝5丁目7番15号

㉒ 上記1名の代理人 弁理士 柳 川 信

明 細 書

1. 発明の名称

伝送データ保護回路

2. 特許請求の範囲

2値情報からなる伝送データの周期よりも十分小なる周期のサンプリングタイミングにてこの伝送データをサンプリングしつつこのサンプリング結果に応じて伝送データの保護をなすようにした伝送データの保護回路であって、前記伝送データを入力としこの入力データのある時点におけるサンプリング値が、自身の旧出力値と相違する場合にはその相違回数に計数値をカウントアップし、前記旧出力値と同一の場合には前記計数値をクリアし、前記計数値が所定値になったときに前記旧出力値を変化せしめるよう動作する状態遷移制御手段と、前記出力値及び前記計数値を記憶する記憶手段とを有し、前記記憶手段に記憶された前記出力値及び前記計数値を前記状態遷移制御手段の旧出力値及び旧計数値とし、前記状態遷移制御手

段の前記出力値を保護された伝送データとして出力するようにしたことを特徴とする伝送データ保護回路。

3. 発明の詳細な説明

技術分野

本発明は伝送データ保護回路に関し、特にシステム内クロックに対して比較的長い周期を有するデータ伝送を行う場合において、雑音やその他の外部擾乱から伝送データを保護する前方・後方保護回路に関する。

従来技術

従来、かかる伝送データの前方・後方保護方式では、複数チャンネルのデータの組合、各チャンネル毎にn進のカウンタを数段組み込んだ計数回路を夫々設け、システムクロックにより各チャンネルデータのサンプリングを行ってこのサンプリング値の旧サンプリング値に対する変化状態を計数し、この計数結果により各チャンネルのデータ保護を行っている。

従って、保護すべき伝送データのチャンネル数が

増大すればする程そのチャンネル数に比例してハードウェア量が増加して、装置の小型化、低コスト化を阻止する要因となるという欠点がある。

発明の目的

そこで、本発明はこの様な従来のものの欠点を解決すべくなされたものであって、その目的とするところは、保護すべき伝送データのチャンネル数が増大してもハードウェア量の増加を招来することなく、小型化及び低コスト化が実現可能な伝送データ保護回路を提供することにある。

発明の構成

本発明によれば、2値情報からなる伝送データの周期よりも十分小なる周期のサンプリングタイミングにてこの伝送データをサンプリングしつつこのサンプリング結果に応じて伝送データの保護をなすようにした伝送データの保護回路であって、前記伝送データを入力としこの入力データのある時点におけるサンプリング値が、自身の旧出力値と相違する場合にはその相違回数に計数値をカウントアップし、前記旧出力値と同一の場合には前

記計数値をクリアし、前記計数値が所定値になったときに前記旧出力値を変化せしめるよう動作する状態遷移制御手段と、前記出力値及び前記計数値を記憶する記憶手段とを有し、前記記憶手段に記憶された前記出力値及び前記計数値を前記状態遷移制御手段の旧出力値及び旧計数値とし、前記状態遷移制御手段の前記出力値を保護された伝送データとして出力するようにしたことを特徴とする伝送データ保護回路が得られる。

実施例

以下に図面を用いて本発明の実施例を説明する。

第1図は本発明の実施例のブロック図である。図において、ゲート回路1は、伝送された0～mチャンネル(mは正の整数)の2値化ディジタルデータ $I_{N0} \sim I_{Nm}$ を時分割的に多重化する機能を有する。この時分割多重化された複数チャンネルのシリアル伝送データINは状態遷移制御回路2の入力となる。

この状態遷移制御回路2は前方・後方保護の状態遷移に従って演算処理を行うものであり、その

状態遷移の様子が第2図に示されており、その詳細については後述する。この状態遷移制御回路2の出力はNEW STATUSラインとNEW COUNTラインとの2つが有り、前者はラッチ回路4に入力されると共にRAM(ランダムアクセスメモリ)3の入力となる。また、後者であるNEW COUNTラインはRAM3の書込み入力となっている。

ラッチ回路4はNEW STATUSラインの信号を時分割多重分離するためのものであり、分離された出力が0～nチャンネルの伝送データ出力 $OUT_0 \sim OUT_n$ となって導出される。RAM3の読出し出力はOLD STATUSラインとOLD COUNTラインとの2つが有り、共に状態遷移制御回路2へフィードバックされている。

タイミング作成回路5はシステムクロックCLK及び同期信号SYNCを入力として、ゲート回路1、状態遷移制御回路2、RAM3及びラッチ回路4に対して各種同期信号及びメモリアドレス、更にはライトイネーブル信号等を生じ供給するものである。タイミング信号T1はゲート回路

1へ供給される時分割多重化用の同期信号であり、S1は状態遷移制御回路2へ供給されるサンプリングタイミング信号である。ADR及びWEの各信号はRAM3へ供給されるメモリアドレス及びデータ書込みイネーブル信号であり、タイミング信号T2はラッチ回路4へ供給される時分割多重分離用のラッチタイミング同期信号である。

状態遷移制御回路2の動作を示す第2図の状態遷移図を参照するに、この回路2のあるサンプリングにおける入力データのサンプリング値と、この回路自身の出力の旧出力値(OLD STATUS)とが異なる場合には旧計数値(OLD COUNT)を「1」加算し、当該サンプリング値と当該旧出力値とが異なる場合は旧計数値をクリアする。そして、この計数値が予め定められた規定値n(正の整数)になった場合にのみその出力値が変化する。尚、第2図内の破線部分は計数値が1～nの間の任意の整数値を取り得ることを示している。

かかる構成において、第1図の回路の動作について説明する。入力ライン $I_{N0} \sim I_{Nm}$ へ入力

された m チャネルの2値情報からなるディジタル伝送データは、ゲート回路1において同期信号 T_1 により時分割多重化されシリアルデータとされる。状態遷移制御回路2においては、予めRAM3の該当アドレス(チャネル対応に割当てられているアドレス)からゲート回路1のタイミング T_1 に同期して読出された旧出力状態及び旧計数値が共に供給され、そのときの入力データのサンプリング値と当該旧出力状態値とが比較される。

この比較動作により、両者の値が不一致であれば、第2図の太線の矢印にて示す如く旧計数値が「1」だけカウントアップされ、このカウントアップされた旧計数値が新計数値となってNEW COUNTラインへ出力されると共に、新出力状態値は何等変化することなくNEW COUNTライン及びNEW STATUSラインへ出力される。これ等NEW COUNTライン及びNEW STATUSラインの各信号はRAM3内の対応アドレスへ書込まれて更新される。

また、比較結果が一致すれば、第2図の細線の矢印にて示す如く、旧計数値はクリアされて「0」

となり、この値「0」が新計数値となると共に、新出力状態値は何等変化することなく夫々RAM3の対応アドレスへ書込まれ更新される。

そして、計数値が規定値 n に達すると、ここで始めて旧出力状態値が変化して「0」から「1」若しくは「1」から「0」へと変化する。この新しい値が新出力値となると共に、計数値も新計数値「0」となり、RAM3の対応アドレスへ書込まれて更新されるのである。状態遷移制御回路2の出力であるNEW STATUSラインの新出力状態信号はラッチ回路4にて同期信号 T_2 によりラッチされる。このラッチ回路4のラッチ出力は同期信号 T_2 により時分割多重分離されて m チャネルの伝送データ出力 $OUT_0 \sim OUT_{m-1}$ となって導出される。

こうすることにより、入力伝送データのサンプリング値が n 回連続して同一値をとるときのみ出力値をレベル遷移させるようにし、それ以外の場合には出力値を何等変化させることなく出力せしめる様にすることができるので、伝送データのサ

ンプリング値が n 回より少ない連続値でもって変化する如き場合には、ノイズや外部擾乱によるものとみなして入力データのレベル変化を無視することが可能となる。よって、2値レベルの伝送データをノイズ等による擾乱から有効に保護できることになるのである。

保護すべき伝送データのチャネル数が増大しても、状態遷移制御回路2は1つの回路で良く、またRAM3の容量のみをチャネル数に応じて設ければ済むので、ハードウェア量の増大は抑止できる。

尚、第1図のタイミング作成回路5のクロック入力CLKは本回路の処理速度を決定するタイミングパルスであり、入力データがPCM信号を多重分離したものである場合には、タイミング作成回路をPCM信号に同期させるために、PCM信号のクロックをCLKラインに印加し、フレーム同期信号をSYNCラインに印加するようにすれば、容易にPCM信号と本回路とを同期させることが可能となる。

発明の効果

以上説明したように、本発明によれば、 n 進カウンタによらず、ランダムアクセスメモリを用いて状態遷移を記憶するように構成したので、前方・後方保護を行う入力チャネル数が増えても、タイミング作成回路の入力クロックを速くするだけで、論理回路のハードウェア量は増加しないという効果がある。また入力データがシリアルな信号やPCM信号であった場合でも、タイミング作成回路をそれらのデータに同期したクロックやフレーム同期信号に同期させることにより容易に対応できるという効果もある。

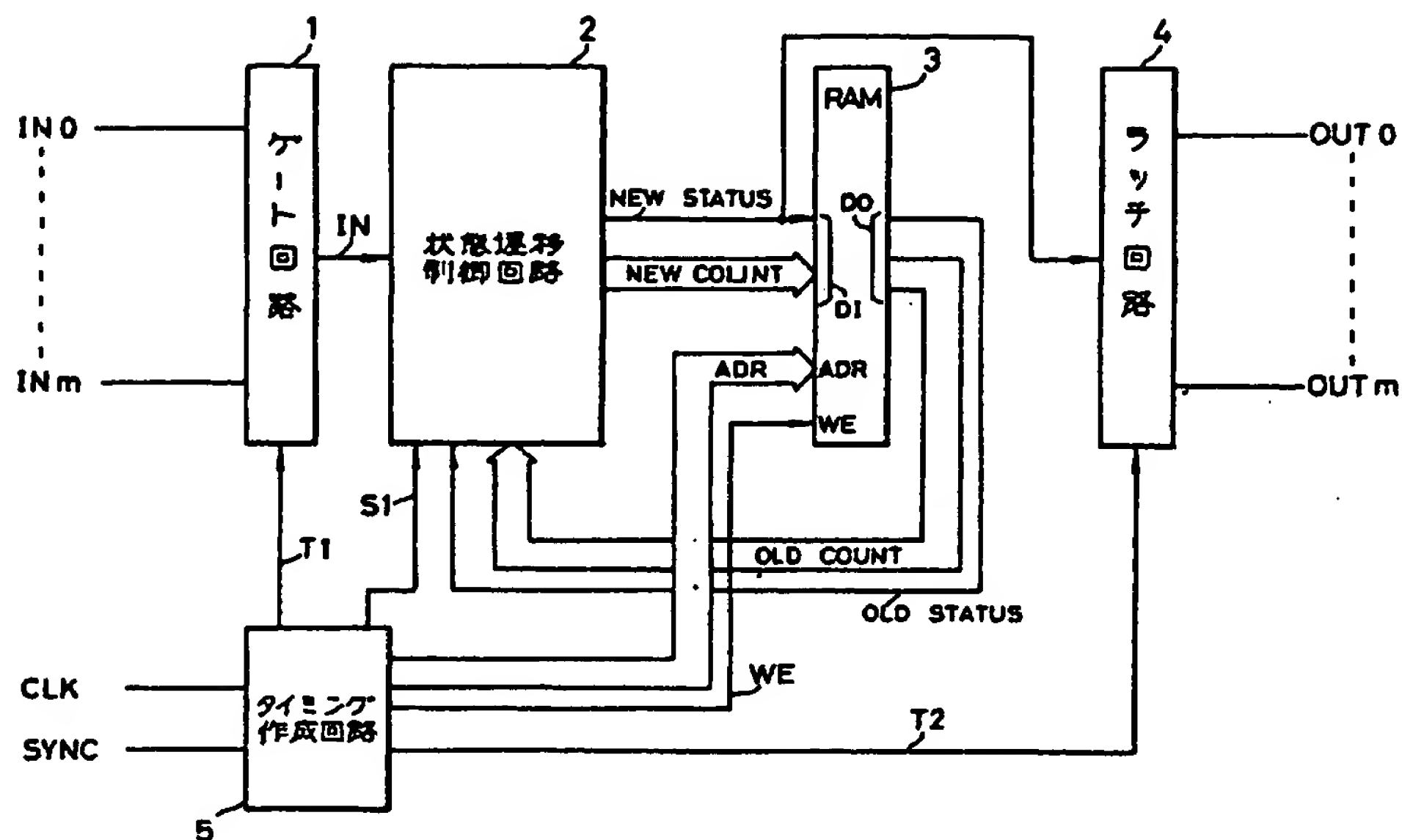
4. 図面の簡単な説明

第1図は本発明の実施例のブロック図、第2図は第1図のブロックの動作を説明するための状態遷移図である。

主要部分の符号の説明

- 2 --- 状態遷移制御回路
- 3 --- RAM
- 5 --- タイミング作成回路

第 1 図



第 2 図

